

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289793

(43)Date of publication of application : 04.10.2002

(51)Int.CI:

H01L 27/105

(21)Application number : 2001-093724

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.03.2001

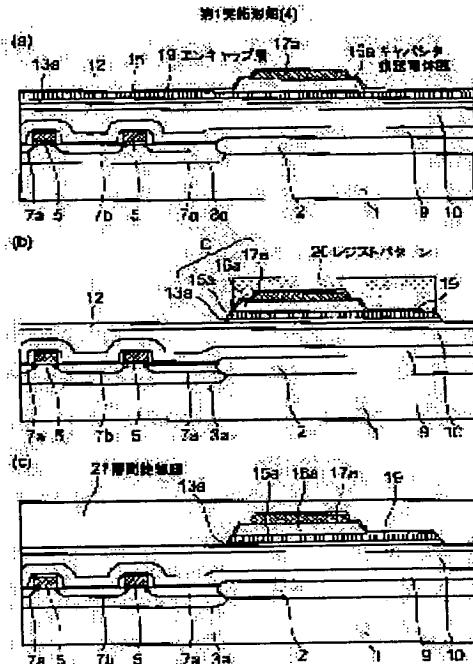
(72)Inventor : MATSUURA KATSUYOSHI
TAKAI KAZUAKI
TAKAMATSU TOMOHIRO
YOKOTA TATSUYA

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To form a ferroelectric capacitor having a superior characteristic by a method for manufacturing a semiconductor device with a capacitor.

SOLUTION: The method includes the steps of forming a first insulation film 10 on a semiconductor substrate 1, planarizing an upper plane of the first insulation film 10, heating the first insulation film 10, forming a second insulation film 12 consisting of a silicon oxide film or a aluminum oxide film on the first insulation film 10, forming a titanium oxide film 13a on the second insulation film 12, forming a capacitor lower portion electrode 15a consisting of a platinum on the titanium oxide film 13, forming a capacitor ferroelectric film 16a on the capacitor lower electrode 15a, and forming an upper electrode 17a on the capacitor ferroelectric film 16a.



LEGAL STATUS

[Date of request for examination] 19.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289793

(P2002-289793A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51)Int.Cl.
H 01 L 27/105

識別記号

F I
H 01 L 27/10テマコード(参考)
4 4 4 B 5 F 0 8 3

審査請求 未請求 請求項の数 5 OL (全 13 頁)

(21)出願番号 特願2001-93724(P2001-93724)

(22)出願日 平成13年3月28日 (2001.3.28)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 松浦 克好

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 高井 一章

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

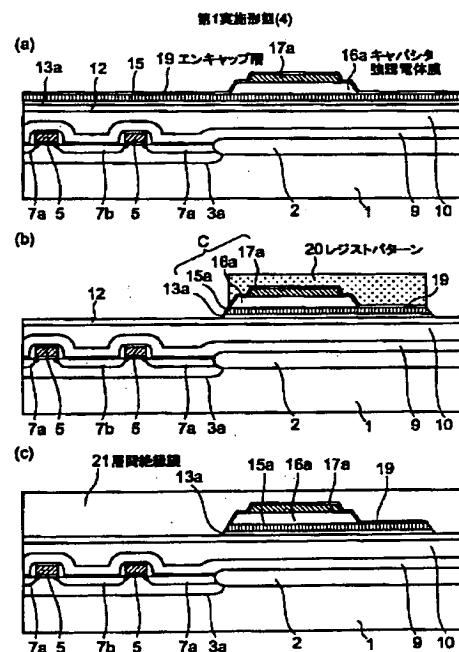
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】キャバシタを有する半導体装置の製造方法に関し、特性の良好な強誘電体キャバシタを形成すること。

【解決手段】第1絶縁膜10を半導体基板1の上方に形成する工程と、第1絶縁膜10の上面を平坦化する工程と、第1絶縁膜10を加熱する工程と、第1絶縁膜10上に酸化シリコン膜又は酸化アルミニウム膜よりなる第2絶縁膜12を形成する工程と、第2絶縁膜12上に酸化チタン膜13aを形成する工程と、酸化チタン膜13aの上にブリチナよりなるキャバシタ下部電極15aを形成する工程と、キャバシタ下部電極15a上にキャバシタ誘電体膜16aを形成する工程と、キャバシタ誘電体膜16a上にキャバシタ上部電極17aを形成する工程とを含む。



【特許請求の範囲】

【請求項1】半導体基板の上方に形成され且つ平坦化面を有する第1絶縁膜と、

前記第1絶縁膜の平坦化面上に形成され、前記第1絶縁膜より水素含有率が大きい酸化シリコン膜、又は酸化アルミニウム膜のいずれかよりなる第2絶縁膜を形成する工程と、

前記第2絶縁膜上に形成された酸化チタン膜と、前記酸化チタン膜の上に形成されたプラチナよりなるキャバシタ下部電極と、

前記キャバシタ下部電極上に形成されたキャバシタ誘電体膜と、

前記キャバシタ誘電体膜上に形成されたキャバシタ上部電極とを有することを特徴とする半導体装置。

【請求項2】半導体基板の上方に形成され且つ平坦化面を有する第1絶縁膜と、

前記第1絶縁膜上に形成された酸化アルミニウム膜と、前記酸化アルミニウム膜上に形成されたプラチナよりなるキャバシタ下部電極と、

前記キャバシタ下部電極上に形成されたキャバシタ誘電体膜と、

前記キャバシタ誘電体膜上に形成されたキャバシタ上部電極とを有することを特徴とする半導体装置。

【請求項3】第1絶縁膜を半導体基板の上方に形成する工程と、

前記第1絶縁膜の上面を平坦化する工程と、

前記第1絶縁膜を加熱する工程と、

前記第1絶縁膜上に酸化シリコン膜又は酸化アルミニウム膜よりなる第2絶縁膜を形成する工程と、

前記第2絶縁膜上に酸化チタン膜を形成する工程と、

前記酸化チタン膜の上にプラチナよりなるキャバシタ下部電極を形成する工程と、

前記キャバシタ下部電極上に誘電体膜を形成する工程と、

前記誘電体膜上にキャバシタ上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】前記酸化チタン膜は、前記第2絶縁膜上にチタン膜を形成した後に、該チタン膜を熱酸化することにより形成されることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】第1絶縁膜を半導体基板の上方に形成する工程と、

前記第1絶縁膜の上面を平坦化する工程と、

前記第1絶縁膜を加熱する工程と、

前記第1絶縁膜上に酸化アルミニウムよりなる第2絶縁膜を形成する工程と、

前記第2絶縁膜上にプラチナよりなるキャバシタ下部電極を形成する工程と、

前記キャバシタ下部電極上にキャバシタ誘電体膜を形成する工程と、

1

2

前記キャバシタ誘電体膜上にキャバシタ上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャバシタを有する半導体装置及びその製造方法に関する。

【0002】

10 【従来の技術】電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ(F e R A M)が知られている。フラッシュメモリは、絶縁ゲート型電界効果トランジスタ(I G F E T)のゲート絶縁膜中に埋め込んだフローティングゲートを有し、フローティングゲートに記憶情報を表す電荷を蓄積することによって情報を記憶する。情報の書き込み、消去には絶縁膜を通過するトンネル電流を通す必要があり、比較的高い電圧を必要とする。

【0003】F e R A Mは、強誘電体のヒステリシス特性を利用して情報を記憶する。強誘電体膜を一対の電極間のキャバシタ誘電体として有する強誘電体キャバシタは、電極間の印加電圧に応じて分極を生じ、印加電圧を取り去っても自発分極を有する。印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極を検査すれば情報を読み出すことができる。F e R A Mは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書き込みができる。

【0004】図1(a)、(b)はF e R A Mのメモリセルの回路図を示す。図1(a)は1ビットの情報の記憶に2つのトランジスタT_a、T_bと2つのキャバシタC_a、C_bを用いる2T/2C形式の回路であり、現在のF e R A Mに使用されている。1つのキャバシタC_aに“1”又は“0”的情報を記憶し、もう一方のキャバシタC_bに反対の情報を記憶するという相補的な動作をさせる。プロセスの変動に対して強い構成になるが、以下に述べる1T/1C形式に比べてセル面積が約2倍になる。

【0005】図1(b)は、1ビットの情報の記憶に1つのトランジスタT₁又はT₂と1つのキャバシタC₁又はC₂を用いる1T/1C形式の回路であり、D R A Mと構成が同じで、セル面積が小さくて高集積化が可能である。しかし、メモリセルから読み出された電荷が“1”的情報か“0”的情報を判定するため、基準電圧が必要となる。この基準電圧を発生させるリファレンスセルC₀は、読み出しされる毎に分極を反転することになるので、疲労によりメモリセルよりも早く劣化してしまう。また、1T/1Cは、判定のマージンが2T/2Cに比べて狭くなり、プロセスの変動に対して弱く、まだ実用化されていない。

【0006】F e R A Mの強誘電体膜は、チタン酸ジルコン酸鉛(P Z T)、LaドープP Z T(P L Z T)等の

50

PZT系材料や、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT、Y1)、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$ (SBTN、YZ) 等のBi層状構造化合物等で形成される。これらの強誘電体膜はソルゲル法、スバッタ法等によって成膜される。通常、これらの成膜法により、下部電極上にアモルファス相の強誘電体膜を形成し、その後の熱処理によって強誘電体膜をペロブスカイト構造へと結晶化させる。良好なFeRAMを作製するためには、強誘電体膜の結晶粒の配向を制御することも必要である。

【0007】強誘電体膜の結晶化は酸化性雰囲気で行われるため、キャバシタ電極はPt等の貴金属や酸化しても導電性の IrO_2 、 SrRuO_3 、 $\text{La}_{0.8}\text{Sr}_{0.2}\text{CoO}_3$ 等で形成される。

【0008】

【発明が解決しようとする課題】ところで、強誘電体キャバシタを形成するに当たっては、強誘電体膜直下の下部電極形成工程が重要である。従来の下部電極として、絶縁膜上にチタン(Ti)とプラチナ(Pt)を順に形成した積層構造が使われていた。Ti膜を用いるのは、絶縁膜と下部電極との密着性を改善させるためである。Ti膜が無いと、半導体装置の製造工程途中でPt電極の膜剥がれが起こる可能性が高い。

【0009】Pt膜はスバッタ法で成膜されるが、高温で成膜を行うとTi膜との反応が生じ、結果として(111)面に強く自己配向しないで、ランダム配向した構造が得られてしまうため、室温で成膜を行っていた。Pt膜の結晶性は、その上に形成される強誘電体膜の膜質に影響を与える。また、高融点金属であるPt膜の結晶粒は小さくその粒径が20nm程度の針状結晶となっていた。強誘電体キャバシタの特性をさらに良好にするためには、Pt膜の結晶粒を大きくして柱状結晶にすることが望まれる。

【0010】それらの解決方法として、Tiの代わりに TiO_2 を用いることが考えられ、これによりPt成膜時の下地金属との反応が抑えられるので、Pt膜を500°Cと高温にて成膜でき、(111)面に強く配向したままでPt膜の結晶粒を100~150nmと大きくし、柱状結晶にすることが可能になる。しかし、脱ガスが施された絶縁膜の上に TiO_2 膜を形成すると、 TiO_2 膜の結晶性が悪くなり、これがPt膜の結晶性を改善する能力を低下させてしまい、Pt膜上の強誘電体膜の結晶性の改善が不十分となってしまう。

【0011】本発明の目的は、特性の良好な強誘電体キャバシタを有する半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記した課題は、半導体基板の上方に形成され且つ平坦化面を有する第1絶縁膜と、前記第1絶縁膜の平坦化面上に形成され且つ前記第1絶縁膜より水素含有率が大きい酸化シリコン膜、又は

酸化アルミニウム膜のいずれかよりなる第2絶縁膜を形成する工程と、前記第2絶縁膜上に形成された酸化チタン膜と、前記酸化チタン膜の上に形成されたプラチナよりなるキャバシタ下部電極と、前記キャバシタ下部電極上に形成されたキャバシタ誘電体膜と、前記キャバシタ誘電体膜上に形成されたキャバシタ上部電極とを有することを特徴とする半導体装置によって解決される。上記した半導体装置において、前記第2絶縁膜として酸化アルミニウム膜を用いる場合には、前記酸化チタン膜を介さずに前記第2絶縁膜上にプラチナよりなるキャバシタ下部電極を形成してもよい。

10

【0013】上記した課題は、第1絶縁膜を半導体基板の上方に形成する工程と、前記第1絶縁膜の上面を平坦化する工程と、前記第1絶縁膜を加熱する工程と、前記第1絶縁膜上に酸化シリコン膜又は酸化アルミニウム膜よりなる第2絶縁膜を形成する工程と、前記第2絶縁膜上に酸化チタン膜を形成する工程と、前記酸化チタン膜の上にプラチナよりなるキャバシタ下部電極を形成する工程と、前記キャバシタ下部電極上にキャバシタ誘電体膜を形成する工程と、前記キャバシタ誘電体膜上にキャバシタ上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

20

【0014】前記酸化チタン膜は、第2絶縁膜上に形成したチタン膜を熱酸化して形成することが好ましい。上記した半導体装置の製造方法において、前記第2絶縁膜として前記酸化アルミニウム膜を形成する場合には、前記酸化チタン膜を形成せずに、前記第2絶縁膜上にプラチナよりなるキャバシタ下部電極を形成してもよい。

30

【0015】次に、本発明の作用について説明する。本発明によれば、第1絶縁膜の表面を平坦化し、加熱により脱ガスした後に、その平坦化面上に酸化シリコン又は酸化アルミニウムよりなる第2絶縁膜を形成し、その上に酸化チタン膜を形成し、その後に、キャバシタの下部電極となるプラチナ膜を形成し、さらにキャバシタの誘電体膜と上部電極を形成している。この場合、酸化チタン膜は、第2絶縁膜上に形成したチタン膜を熱酸化して形成することが好ましい。

40

【0016】そのような工程によれば、脱ガスした第1絶縁膜の影響を第2絶縁膜により低減して結晶性の良いチタン膜を形成し、これを熱酸化して得られた酸化チタン膜は(200)ピークが強くなり、その上に形成される粒径が100~150nmの柱状の結晶のプラチナ膜の形成を助長させ、しかもプラチナ膜の剥離を防止している。この結果、そのようなプラチナ膜の上に形成された酸化物誘電体の結晶方位が所望の方向に揃うため、残留分極の大きさが最大化される。つまり、高信頼性を持つキャバシタを得ることができる。

50

【0017】なお、第2絶縁膜は加熱されないので、第2絶縁膜が第1絶縁膜と同じ材料、例えば酸化シリコンから構成されていても、第2絶縁膜に含有される水素や

5
水は第1絶縁膜中のそれより多くなるが、膜厚を調整することにより水素や水によるキャパシタへの影響を殆ど無視できる状態にすることができる。さらに、別の本発明によれば、平坦化された第1絶縁膜を加熱した後に、その上に第2絶縁膜として酸化アルミニウム膜を形成し、さらに下部電極であるプラチナ膜を成膜することにより、プラチナ膜の剥がれのおそれが無く、Pt膜の粒径が100～150nmと大きい状態で、プラチナ膜の結晶性を安定して良好にすることができる。

【0018】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。図2～図7は、本発明の実施形態に係るFeRAMのメモリセルの形成工程を示す断面図である。図2(a)に示す構造を形成するまでの工程を説明する。

【0019】まず、シリコン(半導体)基板1の表面に、活性領域3を囲む素子分離絶縁膜2を形成する。素子分離絶縁膜2は、LOCOS法により形成してもよいし、シリコン基板1に溝を形成してその中に絶縁膜を埋め込む方法によって形成してもよい。また、シリコン基板1はn型でもp型でもよい。そのような素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域の活性領域3と周辺回路領域(不図示)の活性領域に不純物を導入することにより、pウェル、nウェルを形成する。なお、本実施形態では、メモリセル領域の活性領域3にpウェル3aを形成している。

【0020】続いて、シリコン基板1の活性領域3表面上にゲート酸化膜4を形成した後に、基板全面に多結晶又は非晶質のシリコン膜とSiO₂保護膜6aを順次形成する。その後、シリコン膜のうち、p型ウェル3aの上の部分にはn型不純物を、n型ウェル(不図示)上の部分にはp型不純物を導入する。その後に、シリコン膜とSiO₂膜をフォトリソグラフィー法によりバーニングすることにより、メモリセル領域内の活性領域3を通る2つのゲート電極5と、周辺回路領域の活性領域を通るゲート電極(不図示)を形成する。なお、メモリセル領域3上に形成されるゲート電極5はワード線を兼ねた形状に形成される。

【0021】続いて、ゲート電極5の両側のpウェル3a内にn型不純物をイオン注入して低濃度のn型不純物拡散層を形成する。また、絶縁膜、例えばSiO₂膜をCVD法によりシリコン基板1の全面に形成した後に、その絶縁膜をドライエッティングで全面にわたって均一にエッティングしてゲート電極5の両側部分にのみ側壁絶縁膜6bとして残す。さらに、ゲート電極5と側壁絶縁膜6bをマスクにして活性領域3内に再びn型不純物をイオン注入して高濃度のn型不純物拡散層を形成する。これにより、ゲート電極5の両側には、低濃度と高濃度のn型不純物拡散層からなるLDD構造の第1、第2及び第3のn型不純物拡散層7a、7bが形成される。それらの

n型不純物拡散層7a、7bはソース／ドレイン領域となる。

【0022】また、同様な方法により周辺回路領域にも、図示しないn型不純物拡散層とp型不純物拡散層が形成される。以上の工程により、シリコン基板1へのMOSトランジスタ8の基本的な構造の形成が終了する。なお、周辺回路領域ではCMOSも形成される。以上の工程は、通常のMOSトランジスタ製造工程であり、その他の公知の工程を用いてもよい。

10 【0023】次に、図2(b)に示すように、MOSFET8を覆う厚さ200nmのSiONよりなる酸化防止膜9をシリコン基板1上にCVD法により形成した後に、酸化防止膜9の上に厚さ600nmのSiO₂膜10をCVD法により成膜し、これらにより第1層間絶縁膜11を形成する。なお、SiO₂膜10を形成するための反応ガスとして例えばTEOSを用いる。

【0024】続いて、図2(c)に示すように、素子分離用絶縁膜2との界面からSiO₂膜10上面までの第1層間絶縁膜11の厚さが785nmになるように、化学機械研磨(CMP)法により第1層間絶縁膜11を上面から研磨して平坦化する。その後に、N₂雰囲気中、650℃、30分間のアニールを行って第1層間絶縁膜11の脱ガスを十分に行う。

【0025】次に、図3(a)に示すように、TEOSを用いてCVD法により、強誘電体キャパシタの結晶性改善目的のSiO₂キャップ層12を第1層間絶縁膜11上に130nmの厚さに形成する。次に、強誘電体キャパシタの下部電極層となるPt/TiO₂積層を形成するために、まず、表1に示す条件で厚さ20nmのTi膜13をスパッタ法によりSiO₂キャップ層12上に形成する。

【0026】

【表1】

Ti	Arガス圧	DCパワー	時間	温度
	0.15Pa	2.6kW	13秒	150℃

【0027】続いて、図3(b)に示すように、RTA(rapid thermal annealing)装置を用いて700℃、60秒、O₂雰囲気でTi膜13を熱酸化して、Ti膜13をルチル型結晶構造のTiO₂膜13aとする。そのような条件40のRTA処理により形成されたTiO₂膜13aの厚さは50nmとなる。このルチル型結晶構造のTiO₂膜13aを作成するには反応性スパッタでもよいがTi膜の高温による熱酸化法が望ましい。反応性スパッタによる作成では、シリコン基板1を高温で加熱する必要があるため、特別なスパッタチャンバ構成を必要とする。さらに、一般的の炉による酸化よりも、RTA装置による酸化の方がTiO₂膜の結晶性が良好になる。なぜなら、通常の加熱炉による酸化によれば、酸化しやすいTi膜は、低温においてルチル型結晶構造以外のいくつもの結晶構造を作るため、一旦、それを壊す必要が生じるためである。したが

って、昇温速度の速いRTAによる酸化の方が良好な結晶を形成するために有利になる。

【0028】なお、キャップ層12として窒化物を用いると、その上のTi膜13の膜質が改善されない傾向にある。次に、図3(c)に示すように、Ti₂膜13a上にキャバシタの下部電極15である150nmの厚さのPt膜をスパッタ法により形成する。その下部電極15の形成条件の一例を表2に示す。

【0029】

【表2】

Pt	Arガス圧	DCパワー	時間	温度
	0.6Pa	0.5kW	182秒	550°C

【0030】次に、図4(a)に示すように、表3に示す条件でスパッタにより180nmの厚さのPLZT(強誘電体)膜16を下部電極層14上に形成する。

【0031】

*【表3】

PLZT	Arガス圧	RFパワー	時間
	0.7Pa	1.0kW	323秒

【0032】さらに、O₂濃度2.5%であるArとO₂の混合雰囲気中にシリコン基板1を入れて、585°C、90秒間、常温からの昇温速度125°C/secの条件で強誘電体膜であるPLZT膜16を急速熱処理を行う。このように、PLZT膜16を不活性雰囲気中に置いて、低温で結晶化することにより、PLZT膜16の結晶は望ましい<111>方向に優先配向する。

【0033】次に、図4(b)に示すように、上部電極層17となる厚さが150nmの酸化イリジウム(IrO₂)膜を表4に示す条件でスパッタ法によりPLZT膜16上に形成する。

【0034】

【表4】

IrO ₂	ガス圧	Arガス流量	O ₂ ガス流量	DCパワー	時間
	0.8Pa	100sccm	63sccm	2.0kW	26秒

【0035】ここで、上部電極層17として導電性酸化物であるIrO₂を用いたのは、PLZT膜16の水素劣化耐性を向上させるためであるが、Pt膜、SrRuO₃(SRO)を用いてもよい。しかし、Ptは水素分子に対して触媒作用があるために水素ラジカルを発生させ易く、これによりPLZT膜16を還元し、劣化させ易いのであまり好ましくはない。これに対して、IrO₂、SROは触媒作用を持たないために水素ラジカルを発生させにくく、PLZT膜16の水素劣化耐性が格段に向上する。

【0036】次いで、O₂濃度1%のArとO₂の混合雰囲気中にシリコン基板1において、725°C20秒、昇温速度125°C/secの条件で、PLZT膜16の急速熱処理を行う。上記したように、最初にPLZT膜16を585°Cという低温において結晶化させると、PLZT膜16の結晶は<111>方向に配向する。さらに、PLZT膜16を微量の酸素雰囲気中に置き、より高温の725°Cで熱処理することによって、PLZT膜16の結晶格子中の酸素欠陥が補充されるだけではなく、PLZT膜16に緻密化が起こる。

【0037】ところで、PLZT膜16の緻密化をIrO₂の上部電極層17を形成する前に行なうとすれば、PLZT膜16中のたくさんの気泡が一ヵ所に集まってしまい、これを表面から見ると、PLZT膜16の粒界部にピンホールが開いた状態になってしまので好ましくない。これに対して、IrO₂の上部電極層17を堆積した後にPLZT膜16の緻密化の熱処理を行うと、PLZT膜16の表面荒れが防止されて、非常にフラットなIrO₂/PLZT界面が得られる。その界面の欠陥が減少していることも容易に推察される。しかも、蒸気圧の高いことによるPLZT膜16中からのPbやPbOの脱離に対し

てもIrO₂がプロックすることによって防ぐことができる。

【0038】以上のように強誘電体膜であるPLZT膜16を緻密化させた後に、図4(c)に示すように、IrO₂よりなる上部電極層17の上にキャバシタ上部電極のパターン形状を有するレジストパターン18を形成し、そのレジストパターン18をマスクにして上部電極層17をバーニングしてこれをキャバシタの上部電極17aとする。その後、レジストパターン18を除去する。

【0039】次に、図5(a)に示す構造を形成するまでの工程を説明する。まず、O₂雰囲気中にシリコン基板1において650°C、60分間のアニールを行う。このアニールは、スパッタ及びエッチングによりPLZT膜16に入ったダメージを回復させるためのものである。続いて、キャバシタ強誘電体のパターン形状を有するレジストパターン(不図示)を形成し、このレジストパターンをマスクにしてPLZT膜16をエッチングしてこれをキャバシタの強誘電体膜16aを形成する。

【0040】レジストパターンを除去した後に、水素によって還元されやすい強誘電体膜16aを保護するためには、水素をトラップしやすいPLZT膜をエンキャップ層19としてスパッタにより20nmの厚さに形成する。さらに、エンキャップ層19を、O₂雰囲気中、700°C60秒の条件で、昇温速度125°C/secの急速熱処理をする。

【0041】その後に、図5(b)に示すように、キャバシタ下部電極のパターン形状を有するレジストパターン20をエンキャップ層19上に形成し、レジストパターン20をマスクにしてエンキャップ層19、下部電極層15及びTi₂膜13aをエッチングし、これにより得ら

れた下部電極層15のパターンをキャバシタの下部電極15aとする。

【0042】レジストパターン20を除去した後に、O₂雰囲気中にシリコン基板1を置いて、650°C、60分間の条件でPLZTよりなる強誘電体膜16aの回復アニールを行う。以上の工程により、バーニングされた下部電極15a、強誘電体膜16a及び上部電極17aによりメモリセル領域のキャバシタCが形成される。

【0043】統いて、図5(c)に示すように、厚さ1500nmのSiO₂よりなる第2層間絶縁膜21をCVD法によりシリコン基板1の全面に成膜してキャバシタCを覆った後に、第2層間絶縁膜21の表面をCMPにより平坦化する。次に、図6(a)に示すように、不純物拡散層7a、7bと下部電極20のそれぞれの上に開口22a、22b、22dを有するレジストパターン22を第2層間絶縁膜21の上に形成した後に、レジストパターン22をマスクに使用して第2層間絶縁膜21、エンキヤップ層19、SiO₂キヤップ層12、第1層間絶縁膜11をドライエッチングする。これにより、キャバシタCの下部電極15aの上にコンタクトホール21dが形成され、さらに、SiO₂キヤップ層12、第1層間絶縁膜11を貫通して不純物拡散層7a、7bを露出するコンタクトホール21a、21bが形成される。その後にレジストパターン22を除去する。

【0044】次に、図6(b)に示すように、コンタクトホール21a、21b、21d中を埋める導電性プラグ23a、23b、23dを形成する工程に移る。導電性プラグ23a、23b、23dを形成するために、まず、密着層としてTiN/Ti積層膜をスパッタ法によりコンタクトホール21a、21b、21dの内面と第2層間絶縁膜21の上面に予め形成する。統いて、タンクステン膜をTiN/Ti積層膜上に形成した後に、タンクステン膜及びTiN/Ti積層膜をCMP法により研磨して第2層間絶縁膜21の上面から除去することにより、これらの金属膜をコンタクトホール21a、21b、21d内にのみ残して導電性プラグ23a、23b、23dとして使用する。

【0045】次に、図6(c)に示すように、導電性プラグ23a、23b、23d及び第2層間絶縁膜21の上に、導電性プラグ23a、23b、23dの酸化を防止するための酸化防止膜24となるSiON膜を100nmの厚さにCVD法により成膜する。その後に、図7(a)に示すように、キャバシタの上部電極17aの上に開口25aを有するレジストパターン25を酸化防止膜24上に形成し、さらに、レジストパターン25をマスクにして酸化防止膜24、第2層間絶縁膜21及びエンキヤップ層19をドライエッチングし、これにより上部電極17a上にコンタクトホール21eを形成する。その後にレジストパターン25を除去する。

【0046】その後に、O₂雰囲気中で550°C、60分

間のアニールによって強誘電体膜16aの回復アニールを行う。次に、図7(b)に示すように、酸化防止膜24を全面エッチバックにより除去して導電性プラグ23a、23b、23dの上端を露出させる。その後に、図7(c)に示すように、上部電極17a上のコンタクトホール21e内と第2層間絶縁膜21上にアルミニウム膜を形成し、ついで、アルミニウム膜をバーニングすることにより、pウェル3aの両側の不純物拡散層7aの上の導電性プラグ23aとキャバシタCの上部電極17aを接続するための配線26aを形成し、同時にpウェル3a中央の不純物拡散層7bの上の導電性プラグ23bの上にピット線接続用の導電パッド26bを形成し、さらにキャバシタCの下部電極15a上の導電性プラグ23dに接続する配線26dを形成する。

【0047】なお、上部電極17aと不純物拡散層7aの電気的接続を窒化チタン(TiN)の局所配線を介して行い、その上に絶縁膜を介してピット線を形成してもよい。統いて、図示しないが、第3層間絶縁膜、ピット線、カバー膜を成膜する。また、必要に応じて、層間絶縁膜、配線工程を繰り返し、多層配線を形成してもよい。

【0048】以上のようにして強誘電体キャバシタを有するFeRAMメモリセル構造が形成される。次に、強誘電体キャバシタの下部電極15aを構成するPt膜14の下地依存性について説明する。まず、Ti膜の結晶性の調査結果について図8を参照して説明し、その後に、Ti膜を酸化して得られるTiO₂膜とその上に形成されるPt膜の結晶性について図9を参照して説明する。

【0049】本発明者は、上記したキヤップ層12の効果について従来工程と比較する実験を行った。その実験は、絶縁膜をCVD法により成膜した後に、その絶縁膜上に幾つかのプロセスステップでTi膜をスパッタで形成してTi膜の結晶性がどのように異なるか調べた。まず、5種類のテストプロセス(TP)ウェハを形成し、それぞれのTPウェハ上のTi(002)ピーク強度をX線回折法により調査したところ図8に示すような結果が得られた。

【0050】比較の基準となるリファレンスのTPウェハとして、厚さ200nmのSiON膜と厚さ300nmのSiO₂膜を順次成膜した後にSiO₂膜上にTi膜をスパッタし、このTi膜の(002)面のピーク強度を図8の“Reference”で示すように「1」とし、これにより他のTPウェハを規格化する。図8で“CMP”と表記しているものは、厚さ200nmのSiON膜の上に厚さ600nmのSiO₂膜を形成し、SiO₂膜のうち300nmの厚さをCMP法により削り、その上にTi膜を形成したTPウェハである。その結果、Tiの(002)ピーク強度は、リファレンスの80%程度に下がってしまう。これは、CMP後のスラリー除去で使用される希フッ酸処理によって、絶縁膜表面が荒れたためであると思われる。

【0051】図8で“BEL-AN”と表記したものは、厚さ200nmのSiON膜の上に300nmのSiO₂膜を堆積した後に、N₂雰囲気中、650°C 30分間のアニールを行ってSiO₂膜の絶縁膜の脱ガスを行い、その後にSiO₂膜上にTi膜を形成したTPウェハである。こうすると、CVD法で形成したSiO₂膜中の水分が十分除去されるが、Ti成膜時の水分（水の分圧）が低すぎてTi（002）ピーク強度がリファレンスに比べて40%とかなり下がるようである。吸湿がほとんどない熱酸化膜上でも同様な結果が得られることからも、この仮説が裏付けられる。しかし、脱ガス処理は、SiON膜やWSiゲート中の水素も脱離させる効果があるので、水素耐性に乏しい強誘電体キャバシタを成膜する前には必要な工程である。そうしないと、強誘電体膜であるPLZT膜の結晶化アニール時に、下地絶縁膜からの脱水素によって、強誘電体キャバシタが劣化してしまうことになる。

【0052】図8で“CMP&BEL-AN”と表記したものは、SiON膜を200nmの厚さに成膜し、さらに600nmの厚さでSiO₂膜を成膜した後に、SiO₂膜の300nmの厚さをCMPにより削った後、N₂雰囲気中、650°C 30分間のアニールを行って脱ガスを行い、その後にSiO₂膜上にTi膜を形成したTPウェハである。こうすると、Ti（002）ピーク強度は、リファレンスの20%程度まで下がってしまった。

【0053】図8で“CMP&BEL-AN&SiO CAP”と表記したものは、SiON膜を200nm成膜し、その上に600nmの厚さでSiO₂膜を成膜して、SiO₂膜の300nmの厚さをCMPにより削った後で、N₂雰囲気中、650°C、30分間のアニールを行って脱ガスを行い、その後にSiO₂膜上に上記実施形態のSiO₂キャップ層を130nmの厚さに形成し、そのSiO₂キャップ層の上にTi膜を形成したTPウェハである。その結果、CMP、BEL-AN工程を経ているにもかかわらず、Ti膜の（002）ピークがリファレンスの80%まで回復していた。SiO₂キャップ層の有無で比較すると、4倍の結晶性の改善であった。

【0054】以上のことから、“CMP”と“CMP&BEL-AN&SiO CAP”的Ti膜が最も（002）ピークが高いことがわかった。なお、“CMP”的TPウェハ上のTi膜も（002）ピークが高いが、下地であるSiO₂膜の脱ガス処理が施されていないので良好な強誘電体キャバシタを形成するための対策としては用いられない。

【0055】次に、上記した5種類のTPウェハのTi膜をそれぞれ熱酸化してTiO₂膜を形成し、そのTiO₂膜の上にPt膜を形成した場合のPt膜の（222）のピーク強度を比較したところ、図9に示すような結果が得られた。Pt膜の（222）のピーク強度が高いほどその上に形成される強誘電体膜の膜質が良くなる。図9は、X線回折測定から得られた回折ピーク強度を、処理が異なる下地

絶縁膜毎に規格化してプロットしたものである。なお、それぞれのTiO₂は、20nmのTi膜を600°C、60分で熱酸化して作成したものである。

【0056】図9の“Good TiO₂”は、図8の“CMP&BEL-AN&SiO CAP”的Ti膜を熱酸化してTiO₂膜を形成した後に、TiO₂膜上にPt膜を形成したものであり、その酸化前のTi膜の（002）ピークを「1」とし、酸化後のTiO₂膜の（200）ピークを「1」とし、その上にPt膜の（222）ピークを「1」として、これによりその他のTPウェハを規格化している。

【0057】図9の“Bad TiO₂”は、図8の“BEL-AN”と“CMP&BEL-AN”的Ti膜を熱酸化してTiO₂膜を形成した後に、TiO₂膜上にPt膜を形成したものである。なお、図9の“Al₂O₃”は、Al₂O₃膜の上に直にPt膜を形成したものであり、これについては第2実施形態において説明する。

【0058】図9によれば、TiO₂のルチル結晶構造の（200）ピークが弱いと、Pt（222）ピークが弱くなっていることが分かる。強いTiO₂（200）ピークのものは、アモルファスであるAl₂O₃膜上のPt膜に比べて、Pt（222）ピークが強くなっていることから、Ptの（111）配向性を助長させている。さらに、Ti（002）ピークが弱いと、それを酸化して得られるTiO₂（200）ピークが弱くなっていることが分かる。

【0059】したがって、良好な結晶性を持つ高温成膜のPtの下部電極層を得るために、Tiの（002）ピークを強くする必要があり、このことから、図8の“CMP&BEL-AN&SiO CAP”、即ち上記した実施形態のキャバシタの形成工程が最も好ましいことがわかる。ところで、図8に示した5種類のTPウェハ上のTi膜をそれぞれ酸化してTiO₂膜を形成し、その上にPt膜、PLZT膜、IrO₂電極を形成する工程を経て強誘電体キャバシタを形成し、それらの強誘電体キャバシタの分極電荷量Q₁₀と疲労特性を測定したところ、表5に示すような結果が得られた。

【0060】表5によれば、“Reference”と“CMP&BEL-AN&SiO CAP”的疲労特性が良いことから本実施形態による改善が見られることがわかる。疲労特性は、上部電極と下部電極の間に7V、10'回、正負のパルスを印加し、初期のQ₁₀を100%として、疲労測定後、何%Q₁₀が減少しているかをウェハ面内3点平均した値で示している。

【0061】なお、表5では疲労特性を測定した場合を示していて、各TPウェハ上の強誘電体キャバシタのQ₁₀はあまり差がないと思われるが、実際には“Reference”と“CMP&BEL-AN&SiO CAP”的各TPウェハ上に形成された強誘電体キャバシタのQ₁₀は、その他のものよりも2μC/cm²程度大きくなる傾向にある。

50 【0062】

【表5】

	Qsw(μC/cm²)	疲労特性
Ref.	29.2	5.32%
CMP	29.3	7.50%
BEL-AN	30.3	7.75%
CMP & BEL-AN	29.8	8.37%
CMP & BEL-AN & SiO CAP	30.4	6.31%

【0063】以上、実施形態に沿って説明したが、本発明は上記した実施形態に制限されるものではない、例えば、下部電極としてPt/Ti積層構造を用いた場合にも応用できるし、強誘電体材料としてPZT、PLZTを用いる場合を主に説明したが、他の強誘電体材料も用いることもできる。例えば、SBT、SBTN等を用いてもよい。また、上記実施形態では強誘電体膜の成膜をスパッタ法で行う場合を主に説明したが、他の成膜方法、例えばソルゲル法、MOVD法等を用いることができる。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0064】なお、図3(a)に示したキャップ層12を構成する材料としてSiO₂の代わりにAl₂O₃を適用してもよい。キャップ層12となるAl₂O₃膜は、表6に示す条件で高周波スパッタにより例えば20nmの厚さに形成される。

【0065】

【表6】

	Arガス圧	Arガス流量	RFパワー	時間
Al ₂ O ₃	1.0Pa	20sccm	2.0kW	40秒

【0066】そのようなAl₂O₃のキャップ層12の上にTi膜13を形成し、そのTi膜13を熱酸化してTiO₂膜13aを形成すると、Al₂O₃膜上のTiO₂膜13aの結晶性は、キャップ層12としてSiO₂を用いた場合とほぼ同じになった。

(第2の実施の形態) 次に、本発明の第2実施形態に係る半導体装置の製造工程を説明する。

【0067】まず、図2(a)～(c)に示したように、シリコン基板1にMOSトランジスタ8を形成し、その上に第1層間絶縁膜11を形成し、第1層間絶縁膜11の*

*表面をCMP法により平坦化するまでの工程は第1実施形態と同様である。続いて図10(a)に示すように、第1層間絶縁膜11の平坦化面上にAl₂O₃よりなるキャップ層12aを高周波スパッタにより20nmの厚さに形成する。そのスパッタ条件は、例えば表6と同じにする。

【0068】この後に、図10(b)に示すように、キャップ層12aの上にPt/TiO₂積層構造ではなく、下部電極膜14として膜厚150nmの単層構造のPt膜をスパッタにより形成する。スパッタ条件は例えば時間を18

2秒とし、その他は表2と同じとする。ここで、下部電極膜14とその下地構造としてPt/TiO₂/SiO₂積層構造の代わりにPt/Al₂O₃積層構造を用いたのはプロセス安定性を向上させるためである。図9において説明したように、Al₂O₃はもともとアモルファスな材料なので、その下のSiO₂膜10の影響を受けないし、さらに、Ti膜の堆積と、Ti膜の酸化の2工程を短縮できる利点もある。

【0069】そして、Pt膜を形成した後、第1実施形態と同様に、下部電極膜14上にPLZT膜16、上部電極膜17を順に堆積し、これらの膜をバーニングして上部電極17a、強誘電体膜16aを形成し、それらの上にエンキャップ層19を形成し、続いて、図10(c)に示すように、下部電極膜14をバーニングしてキャバシタCの下部電極14aを形成する。その後の工程は第1実施形態と同様なので省略する。

【0070】以上の工程により形成されたキャバシタCの下部電極14aの特性を調べるために、本発明者は、第1実施形態で採用したPt/TiO₂/SiO₂積層構造の上にPLZT膜と上部電極を形成して強誘電体キャバシタを構成した場合のスイッチング電荷量等と、本実施形態のようにPt/Al₂O₃積層構造の上にPLZT膜と上部電極を形成して強誘電体キャバシタを構成した場合のスイッチング電荷量等とを比較する実験を行って表7に示す結果を得た。

【0071】その実験は、50μm角にバーニングされた上部電極17aとその下の下部電極膜15にプローブを当てて測定を行った。表7は、第1実施形態の下部電極構造と第2実施形態の下部電極構造の違いによるサンプルの電気的特性の結果を示している。

【0072】

【表7】

	Qsw(μC/cm²)	リーク電流(A/cm²)	疲労特性
Pt/TiO ₂	31.4	8.27×10 ⁻⁴	5.33%
Pt/Al ₂ O ₃	30.3	1.04×10 ⁻³	5.11%

【0073】表7中の第1列は、3V印加した時のスイッチング電荷量Q_{sw}をウェハ面内5点平均した値で示している。Pt/Al₂O₃のサンプルの方が、図9に示したよう

に結晶性は悪かったけれども、Q_{sw}はPt/TiO₂のサンプルに迫る値になっている。次の第2列は、5V印加した50時のリーク電流を、同じようにウェハ面内5点で測定

し、その最大値を表している。リーク電流に関しても、両者の下部電極構造のサンプルにおいて優位差は見られない。

【0074】最後の第3列は、7V、10'回、正負のパルスを印加させて疲労特性を測定したものである。初期のQ₁₀を100%として、疲労測定後、何%Q₁₀が減少しているかをウェハ面内3点平均した値で示している。これらは、Pt/Al₂O₃のサンプルの方が若干良い結果になっている。結局、Pt/Al₂O₃構造を用いても、Q₁₀や疲労特性を悪化させることなく、プロセスの安定性を確保できることが分かった。また、Al₂O₃膜上のPt膜には膜剥がれが生じることはなかった。

【0075】なお、強誘電体膜としてPLZTを用いたが、その他のPZT又はPZT系材料や、SrBi₂Ta₂O₉、SrBi₂(Ta,Nb)₂O₉等のBi層状構造化合物等を用いてもよい。また、酸化物の高誘電体材料を用いるキャバシタにおいても、上記した下部電極の形成を採用してもよい。

【0076】

【発明の効果】以上述べたように本発明によれば、CMPを施しさらに脱ガス処理を行った絶縁膜上に、もう一度、絶縁膜を形成する工程を、キャバシタ用下部電極層を形成する前に追加するようにしたので、絶縁膜上に形成したTi膜の(002)ピークを強くすることができ、しかも下部電極層であるPtの膜剥がれが無くなり、Pt膜の粒径が100~150nmと大きい状態で、Ptの結晶性を良好にすることができる。また、キャバシタの強誘電体膜では膜中の結晶方位が所望の方向に揃うため、残留分極の大きさが最大化される。つまり、高信頼性を持つ強誘電体キャバシタを得ることができる。

【0077】さらに、本発明の他の構造によれば、CMPを施した絶縁膜上に、もう一度、Al₂O₃膜を形成する工程を、キャバシタ用下部電極層を形成する前に追加し、ついで下部電極層であるPtをAl₂O₃膜上に成膜することにより、Ptの膜剥がれが無くなり、Pt膜の粒径が100~150nmと大きい状態で、Ptの結晶性を安定して良好にすることができる。

【図面の簡単な説明】

【図1】図1(a),(b)は、FeRAMメモリセルの回路図である。

【図2】図2(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その1)である。

【図3】図3(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その2)である。

【図4】図4(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その3)である。

【図5】図5(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その4)である。

【図6】図6(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その5)である。

【図7】図7(a)~(c)は、本発明の第1実施形態に係るFeRAMのメモリセルの形成工程を示す断面図(その6)である。

【図8】図8は、本発明の実施形態によるTi膜と他の工程によるTi膜の結晶を示す図である。

【図9】図9は、本発明の実施形態によるTi膜、TiO₂膜、Pt膜と他の工程によるTi膜、TiO₂膜、Pt膜の結晶を示す図である。

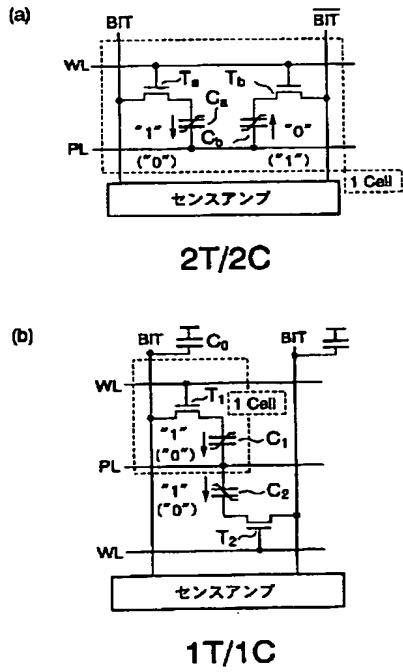
【図10】図10(a)~(c)は、本発明の第2実施形態に係るFeRAMのメモリセルの形成工程を示す断面図である。

【符号の説明】

1…シリコン(半導体)基板、2…素子分離絶縁膜、3…活性領域、3a…ウェル、4…ゲート酸化膜、5…ゲート電極、6a…保護膜、6b…側壁絶縁膜、7a, 7b, 7c…不純物拡散層、8…MOSトランジスタ、9…酸化防止膜、10…SiO₂膜、11…層間絶縁膜、12, 12a…キャップ層、13…Ti膜、13a…TiO₂膜、14, 15…下部電極層、14a, 15a…下部電極、16…PLZT膜、16a…強誘電体膜、17…上部電極層、17a…上部電極、18…レジストバーナー、19…エンキャップ層、20…レジストバーナー、21…層間絶縁膜、23a, 23b, 23d…導電性ブリグ、24…酸化防止膜、25…レジストバーナー、26a…配線、26b…パッド、26d…配線。

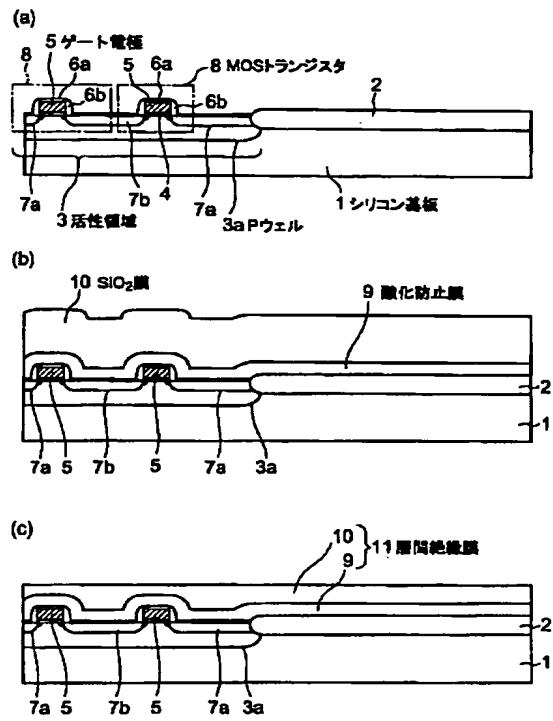
【図1】

FeRAMのメモリセルの回路図



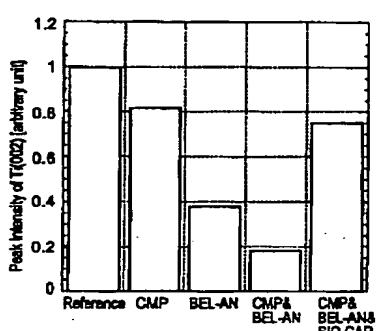
【図2】

第1実施形態(1)

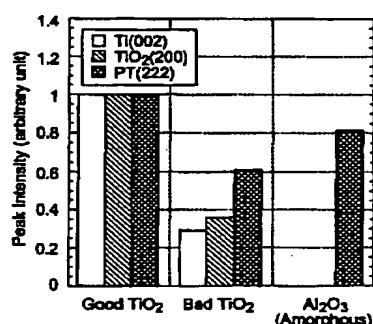


【図8】

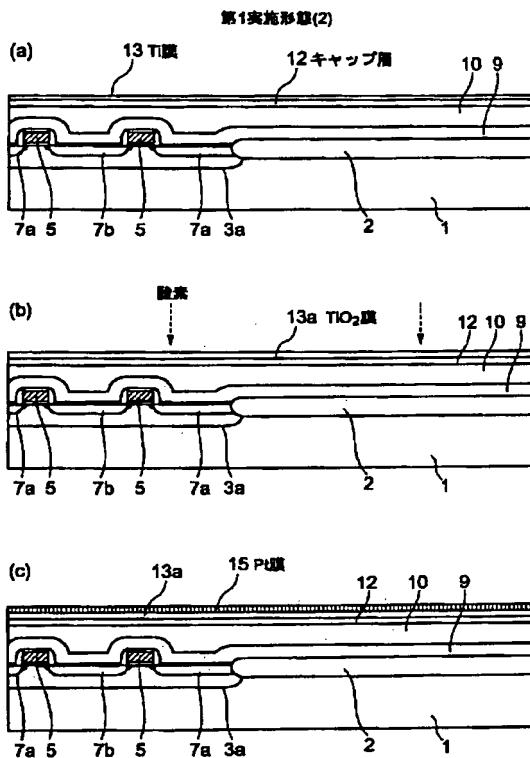
本発明の実施形態によるTi膜とその他の工程によるTi膜の結晶特性図



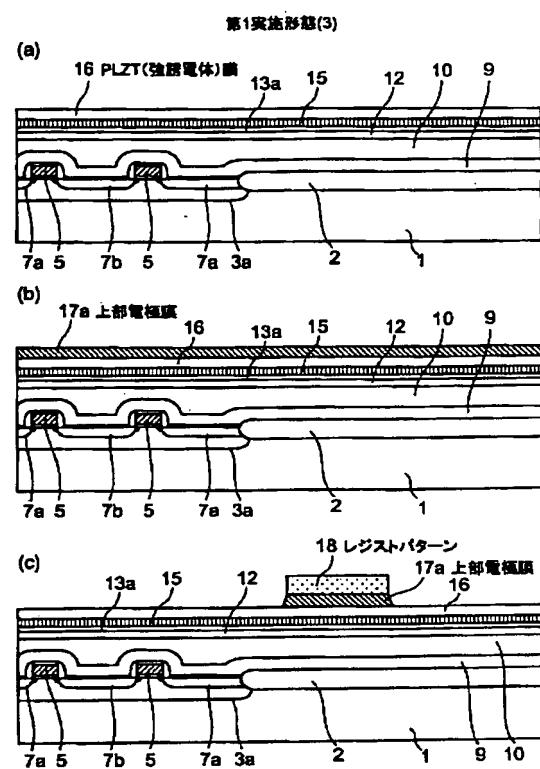
【図9】

本発明の実施形態によるTi, TiO₂, Ptとその他の工程によるTi, TiO₂, Ptの結晶特性図

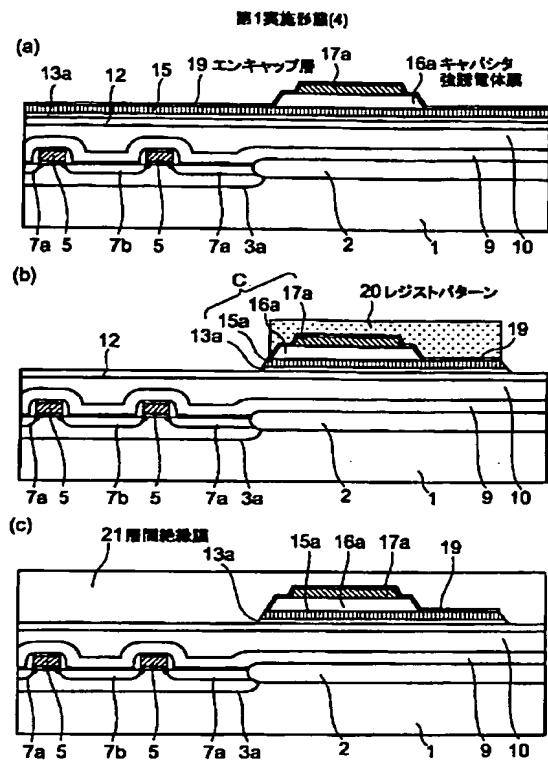
【図3】



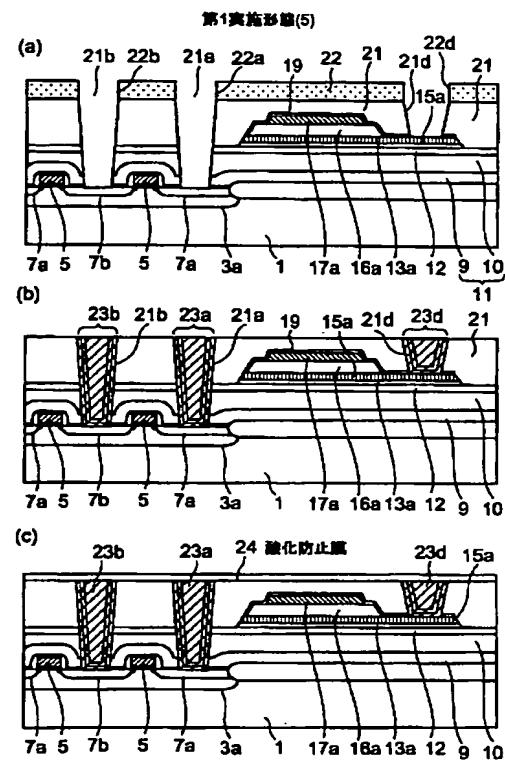
【図4】



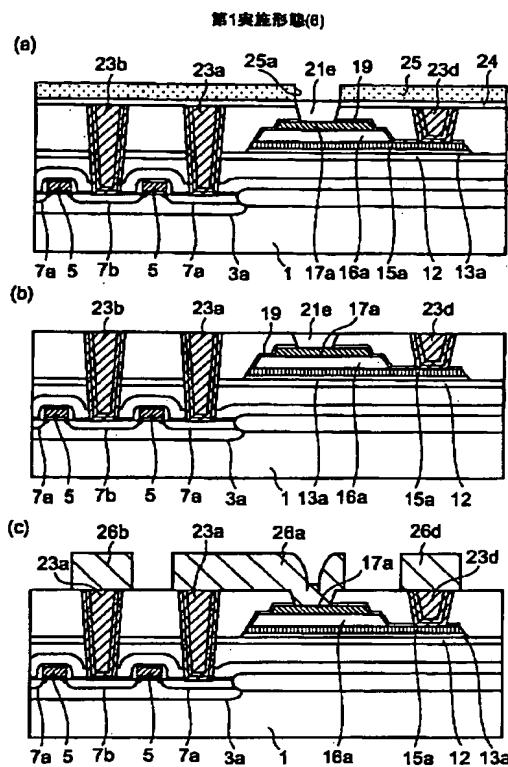
【図5】



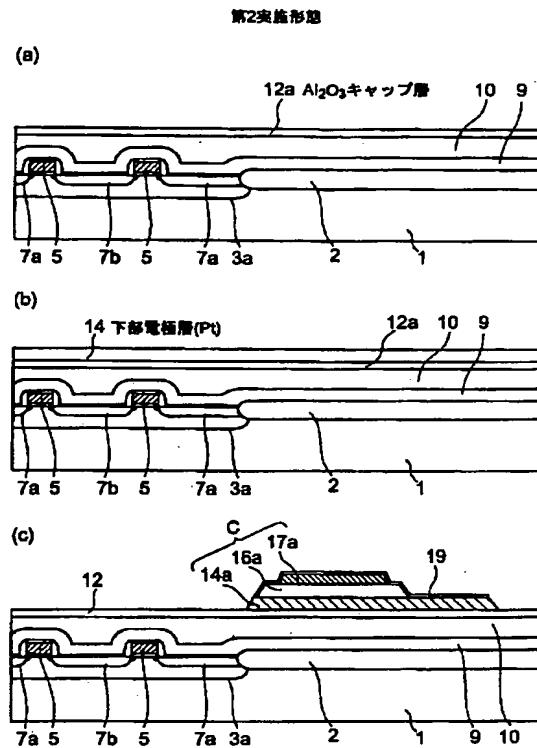
【図6】



【図7】



【図10】



フロントページの続き

(72)発明者 高松 知広
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 横田 竜也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
F ターム(参考) 5F083 FR02 FR03 GA27 JA15 JA17
JA38 JA40 JA42 JA43 JA45
JA56 MA06 MA18 MA20 PR21
PR22 PR34 PR40 PR43 PR53

THIS PAGE BLANK (USPTO)